

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

17148662

Basic Patent (No,Kind,Date): JP 2001175198 A2 20010629 <No. of Patents: 002>

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR  
(English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI; KUWABARA HIDEAKI

IPC: \*G09F-009/30; G02F-001/1335; H01L-021/768; H01L-029/786

CA Abstract No: 135(05)069571K

Derwent WPI Acc No: G 02-197986

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 2001175198</b>	A2	20010629	JP 99355205	A	19991214 (BASIC)
US 20010025958	AA	20011004	US 735204	A	20001212

Priority Data (No,Kind,Date):

JP 99355205 A 19991214

**Semiconductor device and manufacturing method thereof**

Patent Number: ☐ US2001025958  
Publication date: 2001-10-04  
Inventor(s): KUWABARA HIDEAKI (JP); YAMAZAKI SHUNPEI (JP)  
Applicant(s):  
Requested Patent: ☐ JP2001175198  
Application Number: US20000735204 20001212  
Priority Number(s): JP19990355205 19991214  
IPC Classification: G02F1/136; H01L21/00; H01L29/04; H01L31/20; G02F1/1335  
EC Classification: G02F1/1362D  
Equivalents:

---

**Abstract**

---

There is a problem in that, in a liquid crystal display panel in which a color filter is formed on an opposing substrate, it is necessary to assemble an element substrate and the opposing substrate by extremely high precision position alignment, and when this precision is low, the aperture ratio decreases and the display becomes darker. With the present invention, red color filters (R) are formed on driving circuits (402, 403), peripheral circuits, and a color filter (405d) for protecting a pixel TFT portion (407) is formed for each pixel

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-175198

(P2001-175198A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl.	識別記号	F I	キーワード (参考)
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 2 H 0 9 1
	3 4 8		3 4 8 A 2 H 0 9 2
	3 4 9		3 4 9 B 5 C 0 9 4
G 0 2 F 1/1335	5 0 5	G 0 2 F 1/1335	5 0 5 5 F 0 3 3
1/1368		1/136	5 0 0 5 F 1 1 0
審査請求 未請求 請求項の数30 O L (全 29 頁) 最終頁に続く			

(21) 出願番号 特願平11-355205

(22) 出願日 平成11年12月14日 (1999. 12. 14)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 桑原 秀明

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

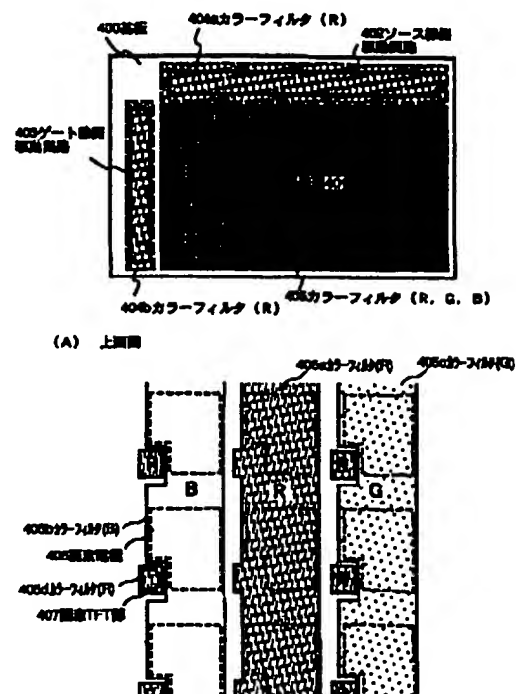
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

## (57) 【要約】

【課題】 カラーフィルタを対向基板に設けた液晶表示パネルでは素子基板と対向基板とを極めて高い精度で位置合わせして組み立てることが必要であり、この精度が低い場合には開口率が低下して表示が暗くなるという問題があった。

【解決手段】 本発明は、周辺回路である駆動回路402、403上に赤のカラーフィルタ(R)404a、404bを設け、画素TFT部407を保護する赤色のカラーフィルタ405dを各画素毎に形成する。



## 【特許請求の範囲】

【請求項1】画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、

前記駆動回路のpチャネル型TFT、前記駆動回路のnチャネル型TFT、及び前記画素部の画素TFTは、ゲート絶縁膜上に接して形成されたカラーフィルタと、前記カラーフィルタ上に接して有機絶縁物材料からなる層間絶縁膜とを有していることを特徴とする半導体装置。

【請求項2】画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、

前記駆動回路のpチャネル型TFT、前記駆動回路のnチャネル型TFT、及び前記画素部の画素TFTは、ゲート電極の上方に設けた無機絶縁物材料から成る保護絶縁膜と、該絶縁膜上に接して形成されたカラーフィルタと、前記カラーフィルタ上に接して有機絶縁物材料からなる層間絶縁膜とを有していることを特徴とする半導体装置。

【請求項3】画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、

前記駆動回路のpチャネル型TFT、前記駆動回路のnチャネル型TFT、及び前記画素TFTは、ゲート電極の上方に設けた無機絶縁物材料から成る保護絶縁膜と、該絶縁膜上に接して形成されたカラーフィルタとを有し、

前記画素部に設けた画素電極は、前記カラーフィルタ上に接して形成され、少なくとも前記保護絶縁膜と前記カラーフィルタとに設けられた開孔を介して形成された、前記画素TFTに接続する導電性金属配線と接続していることを特徴とする半導体装置。

【請求項4】請求項2乃至3のいずれかにおいて、前記駆動回路のpチャネル型TFT及びnチャネル型TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴とする半導体装置。

【請求項5】請求項2乃至4のいずれかにおいて、前記画素TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴とする半導体装置。

【請求項6】請求項1、請求項2または請求項4において、前記画素部に設けた画素電極は、前記層間絶縁膜上に形成され、少なくとも前記保護絶縁膜と前記層間絶縁膜とに設けられた開孔を介して形成された、前記画素TFTに接続する導電性

【請求項7】請求項1乃至6のいずれかにおいて、前記画素部に設けた画素電極は光透過性を有していることを特徴とする半導体装置。

【請求項8】請求項1乃至7のいずれかにおいて、前記駆動回路のpチャネル型TFTは、少なくとも、アナログスイッチとして使用されていることを特徴とする半導体装置。

【請求項9】請求項1乃至8のいずれかにおいて、前記画素TFTと、前記駆動回路のpチャネル型TFTとnチャネル型TFTとのゲート電極は耐熱性導電性材料から形成され、前記駆動回路から延在し、該ゲート電極に接続するゲート配線は低抵抗導電性材料から形成されることを特徴とする半導体装置。

【請求項10】請求項9において、前記耐熱性導電性材料は、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物、前記元素を成分とするシリサイド、であることを特徴とする半導体装置。

【請求項11】請求項1乃至10のいずれか一項において、前記ゲート電極のテーパ部の角度は $5 \sim 45^\circ$ であることを特徴とする半導体装置。

【請求項12】請求項1乃至11のいずれかにおいて、半導体装置は液晶表示装置であることを特徴とする半導体装置。

【請求項13】請求項1乃至請求項12のいずれかにおいて、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、または電子遊技機器であることを特徴とする半導体装置。

【請求項14】画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、

前記駆動回路のpチャネル型TFT、前記駆動回路のnチャネル型TFT、及び前記画素部の画素TFTは、ゲート電極の上方に設けた無機絶縁物材料から成る保護絶縁膜と、該絶縁膜上に接して形成されたカラーフィルタと、前記カラーフィルタ上に接して有機絶縁物材料からなる層間絶縁膜とを有し、

前記画素部の画素TFTは、前記層間絶縁膜上に画素電極を有し、前記画素電極を陽極とするEL素子が接続していることを特徴とする半導体装置。

【請求項15】請求項14において、前記画素部に設けた画素電極は、前記層間絶縁膜上に形成され、少なくとも前記保護絶縁膜と前記層間絶縁膜とに設けられた開孔を介して形成された、前記画素TFTに接続する導電性

の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、

前記駆動回路のpチャネル型TFT、前記駆動回路のnチャネル型TFT、及び前記画素TFTは、ゲート電極の上方に設けた無機絶縁物材料から成る保護絶縁膜と、該絶縁膜上に接して形成されたカラーフィルタとを有し、

前記画素部に設けた画素電極は、前記カラーフィルタ上に接して形成され、少なくとも前記保護絶縁膜と前記カラーフィルタとに設けられた開孔を介して形成された、前記画素TFTに接続する導電性金属配線と接続され、且つ、前記画素電極を陽極とするEL素子が接続していることを特徴とする半導体装置。

【請求項17】請求項14乃至16のいずれかにおいて、前記駆動回路のpチャネル型TFT及びnチャネル型TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴とする半導体装置。

【請求項18】請求項14乃至17のいずれかにおいて、前記画素TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴とする半導体装置。

【請求項19】請求項14乃至18のいずれかにおいて、前記EL素子から発した光は前記基板を透過して放射されることを特徴とする半導体装置。

【請求項20】請求項14乃至19のいずれかにおいて、半導体装置はEL表示装置であることを特徴とする半導体装置。

【請求項21】請求項14乃至請求項20のいずれかにおいて、

前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊技機器であることを特徴とする半導体装置。

【請求項22】画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置の作製方法において、

前記基板に密接して下地膜を形成する工程と、

前記下地膜上に複数の島状半導体層を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のnチャネル型TFTのゲート電極と一部が重なるLDD領域を形成する低濃度n型不純物領域を形成する工程と、

前記島状半導体層の選択された領域に、前記画素TFTとのLDD領域を形成する低濃度n型不純物領域を形成する工程と、

またはドレイン領域を形成する高濃度n型不純物領域を形成する工程と、

前記島状半導体層の選択された領域に、前記駆動回路のpチャネル型TFTのソース領域またはドレイン領域を形成する高濃度p型不純物領域を形成する工程と、

前記駆動回路のnチャネル型TFTと前記画素TFTとpチャネル型TFTとのゲート電極の上方に、無機絶縁物材料から成る保護絶縁膜を形成する工程と、

該保護絶縁膜に接してカラーフィルタを形成する工程と、前記カラーフィルタ上に有機絶縁物材料からなる層間絶縁膜を形成する工程と、

前記画素TFTに接続する画素電極を前記層間絶縁膜上に形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項23】請求項22において、前記画素電極を前記層間絶縁膜上に形成する工程は、層間絶縁膜の形成し、第1の加熱処理を行なった後、パターニングを行う第1工程と、前記第1の加熱処理よりも高い温度で第2の加熱処理を行う第2の工程と、画素電極を形成する第3の工程とを有していることを特徴とする半導体装置の作製方法。

【請求項24】請求項22または請求項23において、前記画素TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴とする半導体装置の作製方法。

【請求項25】請求項22乃至24のいずれかにおいて、

前記画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとのゲート電極を耐熱性導電性材料から形成する工程と、

前記駆動回路から延在し、該ゲート電極に接続するゲート配線を低抵抗導電性材料から形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項26】請求項25において、前記耐熱性導電性材料は、タantal (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物、前記元素を成分とするシリサイド、から形成することを特徴とする半導体装置の作製方法。

【請求項27】請求項22乃至26のいずれかにおいて、前記半導体装置は液晶表示装置であることを特徴とする半導体装置の作製方法。

【請求項28】請求項22乃至27のいずれかにおいて、画素電極を前記層間絶縁膜上に形成する工程の後、前記画素電極の上にEL層を形成する工程と、前記EL層の上に陰極を形成する工程とを有することを特徴とする半導体装置の作製方法。

方法。

【請求項30】請求項22乃至請求項29のいずれかにおいて、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊技機器であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を含む半導体装置およびその作製方法に関する。例えば、液晶表示パネルやEL表示パネルに代表される電気光学装置およびその様な電気光学装置（電子装置）を部品として搭載した電子機器（電子器具）に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に液晶表示パネルやEL表示パネルのスイッチング素子として開発が急がれている。

【0004】液晶表示パネルにおいては、アモルファスシリコンまたはポリシリコンを半導体としたTFTをマトリクス状に配置して、各TFTに接続された画素電極とソース線とゲート線とがそれぞれ形成された素子基板と、これに対向配置された対向電極を有する対向基板との間に液晶材料が挟持されている。また、カラー表示するためのカラーフィルタは対向基板上に形成されている。そして、素子基板と対向基板にそれぞれ光シャッタとして偏光板を配置し、カラー画像を表示している。

【0005】ここで、液晶表示パネルのカラーフィルタは、R（赤）、G（緑）、B（青）の着色層と、画素の間隙だけを残して遮光マスクとを有し、光を透過させることによって赤色、緑色、青色の光を抽出するものである。また、カラーフィルタの遮光マスクは、一般的に金属膜または黒色顔料を含有した有機膜で構成されている。このカラーフィルタは、画素に対応する位置に形成され、これにより画素ごとに取り出す光の色を変えることができる。なお、画素に対応した位置とは、画素電極と一致する位置を指す。

【0006】また、EL表示装置においては、赤色、緑色、あるいは青色を有する光を発光するEL素子をマトリクス状に配置するカラー化方式と、白色光を発光する

ルタによるカラー化方式は、原理的にはカラーフィルタを用いた液晶表示装置のカラー化方式と同様である。

【0007】

【発明が解決しようとする課題】カラーフィルタを対向基板上に設けた液晶表示パネルでは素子基板と対向基板とを極めて高い精度で位置合わせして組み立てることが必要であり、この精度が低い場合には開口率が低下して表示が暗くなるという問題があった。

【0008】また、カラーフィルタの遮光マスクとして金属膜を用いた液晶表示パネルでは、他の配線との寄生容量が形成され信号の遅延が生じやすいという問題が生じていた。また、有機膜を用いた場合、製造工程が増加するという問題が生じていた。

【0009】また、赤色、緑色、あるいは青色を有する光を発光するEL素子を用いたEL表示装置では、色ごとにEL材料が異なるため素子特性も異なり均一な表示を得ることは困難であった。例えば、EL材料の劣化速度等がそれぞれ異なるため経過時間によって表示がばらついてしまうという問題が生じていた。

【0010】また、白色光を発光するEL素子を用いたEL表示装置では、原理的にはカラーフィルタを用いた液晶表示装置と同様であるため、同様の上記問題が生じていた。

【0011】

【課題を解決するための手段】本明細書で開示する発明の構成は、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路のpチャネル型TFT、前記駆動回路のnチャネル型TFT、及び前記画素部の画素TFTは、ゲート絶縁膜上に接して形成されたカラーフィルタと、前記カラーフィルタ上に接して有機絶縁物材料からなる層間絶縁膜とを有していることを特徴とする半導体装置である。

【0012】また、他の発明の構成は、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路のpチャネル型TFT、前記駆動回路のnチャネル型TFT、及び前記画素部の画素TFTは、ゲート電極の上方に設けた無機絶縁物材料から成る保護絶縁膜と、該絶縁膜上に接して形成されたカラーフィルタと、前記カラーフィルタ上に接して有機絶縁物材料からなる層間絶縁膜とを有していることを特徴とする半導体装置である。

【0013】また、他の発明の構成は、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路のpチャ

縁物材料から成る保護絶縁膜と、該絶縁膜上に接して形成されたカラーフィルタとを有し、前記画素部に設けた画素電極は、前記カラーフィルタ上に接して形成され、少なくとも前記保護絶縁膜と前記カラーフィルタとに設けられた開孔を介して形成された、前記画素TFTに接続する導電性金属配線と接続していることを特徴とする半導体装置である。

【0014】また、上記構成において、前記駆動回路のpチャネル型TFT及びnチャネル型TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴としている。

【0015】また、上記各構成において、前記画素TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴としている。

【0016】また、上記各構成において、前記画素部に設けた画素電極は、前記層間絶縁膜上に形成され、少なくとも前記保護絶縁膜と前記層間絶縁膜とに設けられた開孔を介して形成された、前記画素TFTに接続する導電性金属配線と接続していることを特徴としている。

【0017】また、上記各構成において、前記画素部に設けた画素電極は光透過性を有していることを特徴としている。

【0018】また、上記各構成において、前記駆動回路のpチャネル型TFTは、少なくとも、アナログスイッチとして使用されていることを特徴としている。

【0019】また、他の発明の構成は、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路のpチャネル型TFT、前記駆動回路のnチャネル型TFT、及び前記画素部の画素TFTは、ゲート電極の上方に設けた無機絶縁物材料から成る保護絶縁膜と、該絶縁膜上に接して形成されたカラーフィルタと、前記カラーフィルタ上に接して有機絶縁物材料からなる層間絶縁膜とを有し、前記画素部の画素TFTは、前記層間絶縁膜上に画素電極を有し、前記画素電極を陽極とするEL素子が接続していることを特徴とする半導体装置である。

【0020】上記構成において、前記画素部に設けた画素電極は、前記層間絶縁膜上に形成され、少なくとも前記保護絶縁膜と前記層間絶縁膜とに設けられた開孔を介して形成された、前記画素TFTに接続する導電性金属配線と接続していることを特徴としている。

【0021】また、他の発明の構成は、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路のpチャネル型TFT、前記駆動回路のnチャネル型TFT、及び前記画素TFTは、ゲート電極の上方に設けた無機絶

縁物材料から成る保護絶縁膜と、該絶縁膜上に接して形成され、少なくとも前記保護絶縁膜と前記カラーフィルタとに設けられた開孔を介して形成された、前記画素TFTに接続する導電性金属配線と接続され、且つ、前記画素電極を陽極とするEL素子が接続していることを特徴とする半導体装置である。

【0022】上記構成において、前記駆動回路のpチャネル型TFT及びnチャネル型TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴としている。

【0023】上記各構成において、前記画素TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴としている。

【0024】上記各構成のいずれかにおいて、前記EL素子から発した光は前記基板を透過して放射されることを特徴としている。

【0025】

【発明の実施の形態】本願発明の実施形態について、以下に説明する。

【0026】本発明は、対向基板ではなく、素子基板上にTFTの遮光膜としてカラーフィルタを形成することを特徴としている。特に赤色のカラーフィルタを通過する光の波長は高く、非単結晶珪素膜にほとんど影響を与えないため、有効である。参考までに非単結晶珪素膜55nmに対する吸収率と照射される波長との関係を図23に示した。

【0027】本発明において、光の劣化から保護するためにTFTのゲート電極の上方、即ちチャネル形成領域を覆うカラーフィルタ(R)を形成する。具体的にはゲート電極を覆う保護絶縁膜(窒化珪素膜等)に接してカラーフィルタを形成し、カラーフィルタに接して層間絶縁膜を形成し、その層間絶縁膜上に画素電極を形成する。この層間絶縁膜は平坦化のために形成されており、カラーフィルタが十分な絶縁性、または平坦性を有しているのであれば層間絶縁膜はなくてもよい。また、保護絶縁膜は、カラーフィルタに含まれる不純物による汚染を防ぐ上で重要な役割を果たしている。

【0028】カラーフィルタには、最も単純なストライプパターンをはじめとして、斜めモザイク配列、三角モザイク配列、RGBG四画素配列、RGBW四画素配列などがある。

【0029】図6にストライプ状のカラーフィルタとした場合で本発明を適用した一例を示す。図6(A)は基板400上に設けられた画素部401、ソース線側駆動回路402、及びゲート線側駆動回路403とカラーフィルタ404~405との配置関係を簡略に示した上面図である。本発明は、周辺回路である駆動回路402、403上に赤のカラーフィルタ(R)404a、404

上にはストライプ状にカラーフィルタ (B) 405b、カラーフィルタ (R) 405a、カラーフィルタ (G) 405cが繰り返し配置されている。図6 (B) に画素の一部 (3×3行列) を拡大した模式図を示した。図6 (B) に示すように画素TFT部407を保護するカラーフィルタ405dが各画素毎に形成されている。なお、ここではソース線、ゲート線、電極を図示していないが、各カラーフィルタの間隙と重なるように配置されているため、光漏れはない。このようにすることによってカラーフィルタ405dはブラックマスクの役割を果たすため、従来必要であったブラックマスクの形成工程が省略できる。また、ここでは画素電極と画素TFTとを接続するコンタクトホールを図示していないが、実際には画素TFTと画素電極との層間にカラーフィルタを形成しているためコンタクトホールの箇所には開口が存在している。

【0030】また、図7にマトリクス状のカラーフィルタとした場合で本発明を適用した一例を示す。図7

(A) は基板500上に設けられた画素部501、ソース線側駆動回路502、及びゲート線側駆動回路503とカラーフィルタ504、505との配置関係を簡略に示した上面図である。本発明は、周辺回路である駆動回路502、503上に赤のカラーフィルタ (R) 504aが設けられ、TFTの活性層の光劣化を防止すると同時に平坦化の役割も果たしている。また、画素部501上にはマトリクス状にカラーフィルタ (B) 505b、カラーフィルタ (G) 505cが配置され、それらの間隙を埋めるようにカラーフィルタ (R) 505aが形成されている。図7 (B) に画素の一部 (3×3行列) を拡大した模式図を示した。図7 (B) に示すように画素TFT部507を保護するカラーフィルタ505dは互いに繋がっている。なお、ここではソース線、ゲート線、電極を図示していないが、各カラーフィルタの間隙と重なるように配置されているため、光漏れはない。このようにすることによってカラーフィルタ505aはブラックマスクの役割を果たすため、従来必要であったブラックマスクの形成工程が省略できる。また、ここでは画素電極と画素TFTとを接続するコンタクトホールを図示していないが、実際には画素TFTと画素電極との層間にカラーフィルタを形成しているためコンタクトホールの箇所には開口が存在している。

【0031】また、図6及び図7で示したカラーフィルタの配置は一例であって、特にその配置、形状に限定されず、少なくともTFTのゲート電極の上方、即ちチャネル形成領域の上方を覆うカラーフィルタ (R) を適宜形成すればよい。

【0032】また、本発明はアクティブマトリクス基板を用いる表示装置であれば適用することができ、例えば

は、画素電極を陽極とし、EL素子から発した光はアクティブマトリクス基板を透過して放射される。また、有色発光のEL素子を用いたEL表示装置においても、色純度を上げるためにカラーフィルタを用いる場合に本発明を適用できる。

【0033】以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0034】

【実施例】 [実施例1] 本発明の実施例を図1～図3を用いて説明する。ここでは、画素部の画素TFTおよび保持容量と、表示領域の周辺に設けられる駆動回路のTFTを同時に作製する方法について工程に従って詳細に説明する。

【0035】図1 (A) において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルフォン (PES) など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。そして、基板101のTFTを形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜102を形成する。例えば、プラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜102aを10～200nm (好ましくは50～100nm)、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜102bを50～200nm (好ましくは100～150nm) の厚さに積層形成する。

【0036】酸化窒化シリコン膜は従来の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、SiH<sub>4</sub>を10SCCM、NH<sub>3</sub>を100SCCM、N<sub>2</sub>Oを20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。一方、酸化窒化水素化シリコン膜102bは、SiH<sub>4</sub>を5SCCM、N<sub>2</sub>Oを120SCCM、H<sub>2</sub>を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

【0037】このようにして作製した酸化窒化シリコン膜102aは、密度が9.28×10<sup>22</sup>/cm<sup>3</sup>であり、フッ化水素アンモニウム (NH<sub>4</sub>HF<sub>2</sub>) を7.13%とフッ化アンモニウム (NH<sub>4</sub>F) を15.4%含む混合溶



で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0038】次に、25～80 nm（好ましくは30～60 nm）の厚さで非晶質構造を有する半導体層103aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を55 nmの厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体層103aとは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜102aと酸化窒化水素化シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスをSiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>からSiH<sub>4</sub>とH<sub>2</sub>或いはSiH<sub>4</sub>のみに切り替えれば、一旦大気雰囲気中に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

【0039】そして、結晶化の工程を行い非晶質半導体層103aから結晶質半導体層103bを作製する。その方法としてレーザーアニール法や熱アニール法（固相成長法）、またはラビットサーマルアニール法（RTA法）を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層103bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400～500℃で1時間程度の熱処理を行い含有する水素量を5 atom%以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0040】結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数30 Hzとし、レーザーエネルギー密度を100～500 mJ/cm<sup>2</sup>（代表的には300～400 mJ/cm<sup>2</sup>）とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率（オーバーラップ率）を80～98%として行う。この

【0041】そして、結晶質半導体層103b上にフォトマスクを用い、フォトリソグラフィーの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、島状半導体層104～108を形成しする。ドライエッチングにはCF<sub>4</sub>とO<sub>2</sub>の混合ガスを用いる。その後、プラズマCVD法またはスパッタ法により50～100 nmの厚さの酸化シリコン膜によるマスク層194を形成する。

【0042】この状態で島状半導体層に対し、TFTのしきい値電圧（V<sub>th</sub>）を制御する目的でp型を付与する不純物元素を1×10<sup>16</sup>～5×10<sup>17</sup> atoms/cm<sup>3</sup>程度の濃度で島状半導体層の全面に添加しても良い。半導体に対してp型を付与する不純物元素には、ホウ素（B）、アルミニウム（Al）、ガリウム（Ga）など周期律表第13族の元素が知られている。その方法として、イオン注入法やイオンドープ法を用いることができるが、大面積基板を処理するにはイオンドープ法が適している。イオンドープ法ではジボラン（B<sub>2</sub>H<sub>6</sub>）をソースガスとして用いホウ素（B）を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特にnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

【0043】駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層105、107に選択的に添加する。そのため、あらかじめレジストマスク195a～195eを形成した。n型を付与する不純物元素としては、リン

（P）や砒素（As）を用いれば良く、ここではリン（P）を添加すべく、フォスフィン（PH<sub>3</sub>）を用いたイオンドープ法を適用した。形成された不純物領域は低濃度n型不純物領域196、197として、このリン（P）濃度は2×10<sup>16</sup>～5×10<sup>19</sup> atoms/cm<sup>3</sup>の範囲とすれば良い。本明細書中では、ここで形成された不純物領域196、197に含まれるn型を付与する不純物元素の濃度を（n<sup>-</sup>）と表す。また、不純物領域198は、画素マトリクス回路の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン（P）を添加した（図1（D））。

【0044】次に、レジストマスク195a～195eを除去した後、添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500～600℃で1～4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。レーザー活性化の方法による場合、KrFエキシマレーザー光（波長248 nm）を用い、線状ビームを形成して、発振周波数5～50 Hz、エネルギー密度100～500 mJ/cm<sup>2</sup>として線状ビームのオーバーラップ割合を80～98%として走査して、島状半導体層が形

れば良い。マスク層194は、この段階でフッ酸などの溶液でエッチング除去する。

【0045】次いで、島状半導体層を覆って形成されるゲート絶縁膜109はプラズマCVD法またはスパッタ法を用い、膜厚を40～150nmとしてシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜から形成すると良い。また、 $\text{SiH}_4$ と $\text{N}_2\text{O}$ に $\text{O}_2$ を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い(図1(E))。

【0046】そして、図1(E)に示すように、ゲート絶縁膜109上にゲート電極を形成するための耐熱性導電層を形成する。耐熱性導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。このような耐熱性導電性材料を用い、例えば、導電性の窒化物金属膜から成る導電層(A)110と金属膜から成る導電層(B)111とを積層した構造とすると良い。導電層(B)111はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)110は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)などで形成する。また、導電層(A)110はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)111は低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで $20\mu\Omega\text{cm}$ 以下の比抵抗値を実現することができた。

【0047】導電層(A)110は10～50nm(好ましくは20～30nm)とし、導電層(B)111は200～400nm(好ましくは250～350nm)とすれば良い。Wをゲート電極とする場合には、Wをターゲットとしたスパッタ法で、アルゴン(Ar)ガスと窒素( $\text{N}_2$ )ガスを導入して導電層(A)111を窒化タングステン(WN)で50nmの厚さに形成し、導電層(B)110をWで250nmの厚さに形成する。その他の方法として、W膜は6フッ化タングステン( $\text{WF}_6$ )を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\Omega\text{cm}$ 以下にする

元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～ $20\mu\Omega\text{cm}$ を実現することができる。

【0048】一方、導電層(A)110にTa<sub>2</sub>N膜を、導電層(B)111にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta<sub>2</sub>N膜はTaをターゲットとしてスパッタガスにArと窒素との混合ガスを用いて形成し、Ta膜はスパッタガスにArを用いる。また、これらのスパッタガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 $\alpha$ 相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 $\beta$ 相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きであった。Ta<sub>2</sub>N膜は $\alpha$ 相に近い結晶構造を持つので、この上にTa膜を形成すれば $\alpha$ 相のTa膜が容易に得られた。尚、図示しないが、導電層(A)110の下に2～20nm程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層

(A)110または導電層(B)111が微量に含有するアルカリ金属元素がゲート絶縁膜109に拡散するのを防ぐことができる。いずれにしても、導電層(B)111は抵抗率を10～ $50\mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0049】次に、フォトリソグラフィの技術を使用してレジストマスク112～117を形成し、導電層(A)110と導電層(B)111とを一括でエッチングしてゲート電極118～122と容量配線123を形成する。ゲート電極118～122と容量配線123は、導電層(A)から成る118a～122aと、導電層(B)から成る118b～122bとが一体として形成されている(図2(A))。

【0050】導電層(A)および導電層(B)をエッチングする方法は実施者が適宜選択すれば良いが、前述のようにWを主成分とする材料で形成されている場合には、高速でかつ精度良くエッチングを実施するために高密度プラズマを用いたドライエッチング法を適用することが望ましい。高密度プラズマを得る手法の一つとして、誘導結合プラズマ(Inductively Coupled Plasma: ICP)エッチング装置を用いると良い。ICPエッチング装置を用いたWのエッチング法は、エッチングガスに $\text{CF}_4$ と $\text{Cl}_2$ の2種のガスを反応室に導入し、圧力0.5～1.5Pa(好ましくは1Pa)とし、誘導結合部に200～1000Wの高周波(13.56MHz

電位に帯電することにより、正イオンが加速されて異方性のエッチングを行うことができる。ICPエッチング装置を使用することにより、Wなどの硬い金属膜も2～5nm/秒のエッチング速度を得ることができる。また、残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増しオーバーエッチングをすると良い。しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W膜に対する酸化窒化シリコン膜（ゲート絶縁膜109）の選択比は2.5～3であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされて実質的に薄くなった。

【0051】そして、画素TFTのnチャネル型TFTにLDD領域を形成するために、n型を付与する不純物元素添加の工程（n<sup>-</sup>ドーピング工程）を行った。ゲート電極118～122をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加した。n型を付与する不純物元素として添加するリン（P）の濃度は $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲で添加する。このようにして、図2（B）に示すように島状半導体層に低濃度n型不純物領域124～129を形成する。

【0052】次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行った（n<sup>+</sup>ドーピング工程）。まず、フォトリソマスクを用い、レジストのマスク130～134を形成し、n型を付与する不純物元素を添加して高濃度n型不純物領域135～140を形成した。n型を付与する不純物元素にはリン（P）を用い、その濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲となるようにフォスフィン（PH<sub>3</sub>）を用いたイオンドープ法で行った（図2（C））。

【0053】そして、pチャネル型TFTを形成する島状半導体層104、106にソース領域およびドレイン領域とする高濃度p型不純物領域144、145を形成する。ここでは、ゲート電極118、120をマスクとしてp型を付与する不純物元素を添加し、自己整合的に高濃度p型不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体膜105、107、108は、フォトリソマスク4（PM4）を用いてレジストマスク141～143を形成し全面を被覆しておく。高濃度p型不純物領域144、145はジボラン（B<sub>2</sub>H<sub>6</sub>）を用いたイオンドープ法で形成する。この領域のボロン（B）濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする（図2（D））。この高濃度p型不純物領域144、145には、前工程においてリン（P）が添加されていて、高濃度p型不純物領域144a、145aには $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で、高濃

度で添加するボロン（B）の濃度を1.5から3倍となるようにすることにより、pチャネル型TFTのソース領域およびドレイン領域として機能する上で何ら問題はなかった。

【0054】その後、図3（A）に示すように、ゲート電極およびゲート絶縁膜上から保護絶縁膜146を形成する。保護絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても保護絶縁膜146は無機絶縁物材料から形成する。保護絶縁膜146の膜厚は100～200nmとする。ここで、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル（Tetraethyl Orthosilicate：TEOS）とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>から作製される酸化窒化シリコン膜、またはSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200Pa、基板温度300～400℃とし、高周波（60MHz）電力密度0.1～1.0W/cm<sup>2</sup>で形成することができる。また、SiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>から作製することが可能である。

【0055】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法（RTA法）を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板101に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい（図3（B））。

【0056】活性化の工程の後、さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行った。この工程は熱的に励起された水素により島状半導体膜にある $10^{16} \sim 10^{18} \text{ /cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0057】活性化および水素化の工程が終了したら、前記保護絶縁膜に接してカラーフィルタ171を形成す

宜所定の配置及び形状で形成されている。本実施例では、カラーフィルタを図6に示した配置とした。また、微細なパターンであるためカラーフィルタはドライエッチングでパターンニングすることが好ましく、ここでは3回のパターンニングを行い3色のカラーフィルタを形成した。ここでは、後に形成される画素電極と画素TFTを接続するためのコンタクトホールを形成する箇所のカラーフィルタは除去した。

【0058】次いで、カラーフィルタ上に有機絶縁物材料からなる層間絶縁膜147を1.0~2.0 $\mu$ mの平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ペンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0059】このように、層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減するできる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、保護絶縁膜146として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いる必要がある。

【0060】次いで、透明導電膜を全面に形成し、フォトマスクを用いたパターンニングにより画素電極158を形成する。

【0061】透明導電膜の材料は、酸化インジウム（ $\text{In}_2\text{O}_3$ ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3\text{—SnO}_2$ ；ITO）などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3\text{—ZnO}$ ）を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、ドレイン配線169の端面で接触するAlとの腐蝕反応を防止できる。同様に、酸化亜鉛（ $\text{ZnO}$ ）も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ $\text{ZnO:Ga}$ ）などを用いることができる。

【0062】その後、フォトマスクを用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体

はドライエッチング法により行う。この場合、エッチングガスに $\text{CF}_4$ 、 $\text{O}_2$ 、Heの混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後、続いてエッチングガスを $\text{CF}_4$ 、 $\text{O}_2$ として保護絶縁膜146をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを $\text{CHF}_3$ に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。なお、本実施例では、層間絶縁膜を本焼成後にパターンニングした例

（図4（A））を示したが、仮焼成後にパターンニングを行い、その後で本焼成を行うことで開口部におけるエッジを図4（C）に示したように滑らかにして配線257を形成する方法を用いてもよい。

【0063】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、フォトマスクによりレジストマスクパターンを形成し、エッチングによってソース配線148~152とドレイン配線153~157を形成する。ここで、ドレイン配線157は画素電極158と重なる部分を設け、接続構造を形成している。また、図4

（A）及び（B）に示したように、本実施例ではドレイン配線157を、Ti膜157aを50~150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム膜（Al膜）157bを300~400nmの厚さで形成して配線とした。

【0064】この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。また、このような熱処理により保護絶縁膜146や、下地膜102に存在する水素を島状半導体膜104~108に拡散させ水素化をすることもできる。いずれにしても、島状半導体膜104~108中の欠陥密度を $10^{16}/\text{cm}^3$ 以下とすることが望ましく、そのために水素を0.01~0.1atomic%程度付与すれば良かった（図3（C））。

【0065】こうして、同一の基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT200、第1のnチャネル型TFT201、第2のpチャネル型TFT202、第2のnチャネル型TFT203、画素部には画素TFT204、保持容量205が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0066】駆動回路の第1のpチャネル型TFT200には、島状半導体膜104にチャネル形成領域206、高濃度p型不純物領域から成るソース領域207

ネル型TFT201には、島状半導体膜105にチャンネル形成領域209、ゲート電極119と重なるLDD領域210、ソース領域212、ドレイン領域211を有している。このLDD領域において、ゲート電極119と重なるLDD領域を $L_{ov}$ としてそのチャンネル長方向の長さは0.5~3.0 $\mu\text{m}$ 、好ましくは1.0~2.0 $\mu\text{m}$ とした。nチャンネル型TFTにおけるLDD領域の長さをこのようにすることにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。駆動回路の第2のpチャンネル型TFT202は同様に、島状半導体膜106にチャンネル形成領域213、高濃度p型不純物領域から成るソース領域214a、214b、ドレイン領域215a、215bを有したシングルドレインの構造を有している。第2のnチャンネル型TFT203には、島状半導体膜107にチャンネル形成領域216、ゲート電極121と一部が重なるLDD領域217、218、ソース領域220、ドレイン領域219が形成されている。このTFTのゲート電極と重なる $L_{ov}$ の長さも0.5~3.0 $\mu\text{m}$ 、好ましくは1.0~2.0 $\mu\text{m}$ とした。また、ゲート電極と重ならないLDD領域を $L_{off}$ として、このチャンネル長方向の長さは0.5~4.0 $\mu\text{m}$ 、好ましくは1.0~2.0 $\mu\text{m}$ とした。画素TFT204には、島状半導体膜108にチャンネル形成領域221、222、LDD領域223~225、ソースまたはドレイン領域226~228を有している。LDD領域( $L_{off}$ )のチャンネル長方向の長さは0.5~4.0 $\mu\text{m}$ 、好ましくは1.5~2.5 $\mu\text{m}$ である。さらに、容量配線123と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT204のドレイン領域228に接続する半導体層229とから保持容量205が形成されている。図3(C)では画素TFT204をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0067】以上の様な構成は、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。

【0068】【実施例2】本実施例では、実施例1とは異なる画素電極の形成方法の例を図5に示す。なお、本実施例は画素部における画素電極とドレイン配線の重なり部分以外は実施例1と同一であるため同一の符号を用いる。

【0069】図5(A)は、画素部における断面構造図

とTi膜357cの積層膜からなるドレイン配線357を形成し、この配線と一部からなるように画素電極358を形成する。

【0070】【実施例3】高精細で高画質の液晶表示装置を実現するためには、画素TFTや駆動回路の各回路を構成するTFTの特性を向上させる必要がある。要求されるTFTの特性は、しきい値電圧や電界効果移動度、サブスレショルド定数(S値)などの他に、オフ状態で流れる電流(オフ電流)値を低減させることがある。オフ電流値が高い場合には、消費電力が増大するばかりでなく、駆動回路の動作特性が悪化して画質の低下をもたらす要因となる。実施例1で作製したnチャンネル型TFTにはLDD領域が形成され、これによってオフ電流値を問題ない程度にまで低減させることができる。一方、pチャンネル型TFTはシングルドレイン構造なので、オフ電流値の増加がしばしば問題となることがある。本実施例では図8を用いてそのような場合に適したオフセット領域を有するpチャンネル型TFTの作製方法を説明する。

【0071】まず、実施例1と同様にして図1(A)~図2(A)に示す工程を行い、ゲート電極118~122と容量配線123までを形成する。そして、nチャンネル型TFTにLDD領域を形成するために、n型を付与する不純物元素添加の工程(n-ドーピング工程)を行う。ここではゲート電極をマスクとして自己整合的にn型を付与する不純物元素を添加するが、フォトリソを用いてpチャンネル型TFTを形成する島状半導体層104、106の全面をレジストマスク158、159で被覆して不純物元素が添加されないようにする。このようにして、図8(A)に示すように島状半導体層に低濃度n型不純物領域125~129を形成する。

【0072】次に、nチャンネル型TFTにおいて、ソース領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行う。フォトリソを用い、レジストのマスク130~134を形成し、n型を付与する不純物元素を添加して高濃度n型不純物領域135~140を形成する(図8(B))。

【0073】その後、実施例1と同様にして保護絶縁層146を形成する。そして、pチャンネル型TFTを形成する島状半導体層104、106にソース領域およびドレイン領域とする高濃度p型不純物領域144、145を形成する。nチャンネル型TFTを形成する島状半導体膜105、107、108は、フォトリソを用いてレジストマスク160~162を形成し全面を被覆しておく。この工程はイオンドーピング法などで行われるものであり、注入される不純物元素は僅かなゆらぎを持つものの、島状半導体層の表面に対してほぼ垂直に入射する。ここで、保護絶縁層146はゲート電極の端部において

厚分だけゲート電極から離れて高濃度 p 型不純物領域 144、145 が形成される。即ち、チャネル形成領域と高濃度 p 型不純物領域との間にオフセット領域 230、231 が  $L_0$  の長さで形成される。具体的に  $L_0$  の長さは、保護絶縁層 146 の厚さに相当するものであるから、100~200 nm の長さで形成される。

【0074】このようなオフセット領域は、TFT の電気的特性において直列抵抗成分として寄与し、オフ電流値を  $1/10$  から  $1/100$  程度低減させることができる。以降は、実施例 1 と同様にして図 3 (A) からの工程を行うことによりアクティブマトリクス基板を完成させることができる。

【0075】また、本実施例は実施例 2 と組み合わせることができる。

【0076】〔実施例 4〕本実施例では、実施例 1~実施例 3 で示したアクティブマトリクス基板の TFT の活性層を形成する結晶質半導体層の他の作製方法について示す。本実施例では特開平 7-130652 号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。図 9 を用いて、その場合の例を説明する。

【0077】図 9 (A) で示すように、実施例 1 と同様にして、ガラス基板 101 上に下地膜 102a、102b、非晶質半導体層 103a を 25~80 nm の厚さで形成する。例えば、非晶質シリコン膜を 55 nm の厚さで形成する。そして、重量換算で 10 ppm の触媒元素を含む水溶液をスピコート法で塗布して触媒元素を含有する層 170 を形成する。触媒元素にはニッケル (Ni)、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au) などである。この触媒元素を含有する層 170 は、スピコート法の他にスパッタ法や真空蒸着法によって上記触媒元素の層を 1~5 nm の厚さに形成しても良い。

【0078】そして、図 9 (B) に示す結晶化の工程では、まず 400~500℃ で 1 時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を 5 atom% 以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中で 550~600℃ で 1~8 時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層 103c を得ることができる (図 9 (C))。

【0079】このようにして作製された結晶質半導体層 103c から島状半導体層 104~108 を作製すれば、実施例 1 と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体膜中には微量 ( $1 \times 10^{17} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup> 程度) の触媒元素が残留する。勿論、そのような状態でも TFT を完成させることが可能であるが、

手段の一つにリン (P) によるゲッタリング作用を利用する手段がある。

【0080】この目的におけるリン (P) によるゲッタリング処理は、図 3 (B) で説明した活性化工程で同時に行うことができる。この様子を図 10 で説明する。ゲッタリングに必要なリン (P) の濃度は高濃度 n 型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる (図 10 で示す矢印の方向)。その結果その不純物領域には  $1 \times 10^{17} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup> 程度の触媒元素が偏析した。このようにして作製した TFT はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

【0081】〔実施例 5〕本実施例においては、実施例 1 とは異なる構造のアクティブマトリクス基板を図 11 を用いて示す。本発明は、層間絶縁膜としてカラーフィルタを用いた例である。なお、本実施例は実施例 1 の図 3 (B) までの工程と同一である。

【0082】まず、実施例 1 に従って図 3 (B) の状態を得る。次いで、保護絶縁膜上に接して実施例 1 と同様にカラーフィルタ 671 を形成する。本実施例においては平坦性の高いカラーフィルタを用いた。次いでカラーフィルタ上に透明導電膜からなる画素電極 658 を形成した。次いで、カラーフィルタ 671 と、保護絶縁膜と、ゲート絶縁膜とを選択的に除去してコンタクトホールを形成する。次いで、配線 648~657 を形成し、画素電極 658 と重なる部分を形成した。以降の工程は実施例 1 に従えばよい。

【0083】〔実施例 6〕実施例 1 ではゲート電極の材料に W や Ta などの耐熱性導電性材料を用いる例を示した。このような材料を用いる理由は、ゲート電極形成後に価電子制御を目的として半導体層に添加した不純物元素を主として、400~700℃ の熱アニールによって活性化させることに起因している。しかしながら、このような耐熱性導電性材料は面積抵抗で 10 Ω 程度あり、画面サイズが 4 インチクラスかそれ以上の液晶表示装置には適していなかった。ゲート電極に接続するゲート配線を同じ材料で形成すると、基板面上における引回し長さが必然的に大きくなり、配線抵抗の影響による配線遅延の問題を無視することができなくなるためであった。

【0084】本実施例では、このような液晶表示装置を実現する手段として、ゲート配線を Al や銅 (Cu) などの低抵抗導電性材料で形成する方法について図 12 を用いて説明する。

【0085】まず、実施例 1 と同様にして図 1 (A) ~ 図 2 (D) に示す工程を行う。そして、価電子制御を目



ール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行うものであり、本実施例では525℃で4時間の熱処理を行った。

【0086】この熱処理において、ゲート電極118~122と容量配線123を形成する導電層(B)118b~123bは、表面から5~80nmの厚さで導電層(C)118c~123cが形成される。例えば、導電層(B)118b~123bがタングステン(W)の場合には窒化タングステン(WN)が形成され、タンタル(Ta)の場合には窒化タンタル(TaN)が形成される。また、導電層(C)118c~123cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極118~123を晒しても同様に形成することができる。さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。(図12(A))

【0087】活性化および水素化の工程が終了したら、ゲート配線を低抵抗導電性材料で形成する。この低抵抗導電性層はAlやCuを主成分とする導電層(D)で形成する。例えば、Tiを0.1~2重量%含むAl膜を導電層(D)として全面に形成する(図示せず)。導電層(D)145は200~400nm(好ましくは250~350nm)とすれば良い。そして、フォトリソを用いて所定のレジストパターンを形成し、エッチング処理(リン酸系のエッチング溶液によるウェットエッチング等)して、ゲート配線163、164と容量配線165を形成する。そして保護絶縁膜146を形成する(図12(B))。

【0088】その後、実施例1と同様にしてカラーフィルタ173、有機絶縁物材料から成る層間絶縁膜147、画素電極158、ソース配線148~152、ドレイン配線153~157を形成してアクティブマトリクス基板を完成させることができる。図13(A)、(B)はこの状態の上面図を示し、図13(A)のB-B'断面および図13(B)のC-C'断面は図12(C)のB-B'及びC-C'に対応している。図13(A)、(B)ではゲート絶縁膜、保護絶縁膜、カラーフィルタ、層間絶縁膜を省略して示しているが、また、図13(A)のD-D'断面およびB-B'断面を図14(A)と(B)にそれぞれ示す。ゲート配線163はゲート電極118、119と、またゲート配線164はゲート電極122と島状半導体層104、105、108の外側で重なるように形成され、導電層(C)と導電層

抵抗を十分低減できる。従って、画素部(画面サイズ)が4インチクラス以上の表示装置に適用することができる。

【0089】[実施例7] 本実施例では実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0090】まず、図15(A)に示すように、図3(C)の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。このようなスペーサの材料に限定はないが、例えば、JSR社製のNN700を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで150~200℃で加熱して硬化させる。

【0091】その後、配向膜184を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路のTFIT上にもスペーサ182を形成しておく、スペーサとしての本来の役割と、静電気からTFITを保護する効果を得ることができる。

【0092】対向側の対向基板185には、透明導電膜187および配向膜188を形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤189で貼り合わせる。シール剤189にはフィラー190が混入されていて、このフィラー190とスペーサ182、183によって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤(図示せず)によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして図15に示すアクティブマトリクス型液晶表示装置が完成する。

【0093】[実施例8] 本実施例は、実施例1と異なり、ゲート電極の形状がテーパー形状を有しており、このテーパー形状を利用したドーピング方法による作製方法の一例を示す。

【0094】本実施例では、島状半導体層、ゲート絶縁膜の形成を行った後、ゲート電極を形成するために導電層(A)をWN膜で、導電層(B)をW膜で形成した。次に、レジストマスクを形成し、導電層(A)と導電層(B)とを一括でエッチングしてゲート電極701~705と容量配線706を形成する。ゲート電極701~705と容量配線706は、導電層(A)と、導電層(B)とが一体として形成されている。

【0095】このとき少なくともゲート電極701~705の端部にテーパー部が形成されるようにエッチングする。このエッチング加工はICPエッチング装置により行う。その技術の詳細は前述の如くである。具体的な

放電電力  $3.2 \text{ W/cm}^2$  (13.56MHz)、バイアス電力  $2.24 \text{ mW/cm}^2$  (13.56MHz)、圧力  $1.0 \text{ Pa}$  でエッチングを行った。このようなエッチング条件によって、ゲート電極  $701 \sim 705$  の端部において、該端部から内側にむかって徐々に厚さが増加するテーパー部が形成され、その角度は  $5 \sim 45^\circ$ 、好ましくは  $10 \sim 30^\circ$  とする。テーパー部の角度は、後に LDD 領域を形成する低濃度 n 型不純物領域の濃度勾配に大きく影響する。

【0096】また、残渣を残すことなくエッチングするためには、 $10 \sim 20\%$  程度の割合でエッチング時間を増しするオーバーエッチングを施すものとする。しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W 膜に対する酸化窒化シリコン膜（ゲート絶縁膜）の選択比は  $2 \sim 4$ （代表的には  $3$ ）であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は  $20 \sim 50 \text{ nm}$  程度エッチングされて実質的に薄くなり、新たな形状のゲート絶縁膜が形成された。

【0097】そして、画素 TFT および駆動回路の n チャネル型 TFT の LDD 領域を形成するために、n 型を付与する不純物元素添加の工程（n<sup>-</sup>ドープ工程）を行う。ゲート電極の形成に用いたレジストマスクをそのまま残し、端部にテーパー部を有するゲート電極  $701 \sim 705$  をマスクとして自己整合的に n 型を付与する不純物元素をイオンドープ法で添加する。ここでは、n 型を付与する不純物元素をゲート電極の端部におけるテーパー部とゲート絶縁膜とを通して、その下に位置する半導体層に達するように添加するためにドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$  とし、加速電圧を  $80 \sim 160 \text{ keV}$  として行う。ここでは n 型を付与する不純物元素としてリン（P）を用いた。このようなイオンドープ法により半導体層のリン（P）濃度は  $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  の濃度範囲で添加する。このようにして、島状半導体層に低濃度 n 型不純物領域を形成する。

【0098】この工程において、低濃度 n 型不純物領域において、少なくともゲート電極  $701 \sim 705$  に重なった部分に含まれるリン（P）の濃度勾配は、ゲート電極  $701 \sim 705$  のテーパー部の膜厚変化を反映する。即ち、低濃度 n 型不純物領域へ添加されるリン（P）の濃度は、ゲート電極に重なる領域において、ゲート電極の端部に向かって徐々に濃度が高くなる。これはテーパー部の膜厚の差によって、半導体層に達するリン（P）の濃度が変化するためである。

【0099】次に、n チャネル型 TFT において、ソース領域またはドレイン領域として機能する高濃度 n 型不純物領域の形成を行う（n<sup>+</sup>ドープ工程）。レジストのマスクを残し、さらにフォトリソを用い、レジストマスクに重ねて新たなレジストマスクを形成する。これ

V の低加速電圧の条件で添加する。このようにして高濃度 n 型不純物領域を形成する。この領域におけるゲート絶縁膜は、前述のようにゲート電極の加工においてオーバーエッチングが施されたため、当初の膜厚である  $120 \text{ nm}$  から薄くなり、 $70 \sim 100 \text{ nm}$  となっている。そのためこのような低加速電圧の条件でも良好にリン（P）を添加することができる。そして、この領域のリン

（P）の濃度は  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  の濃度範囲となるようにする。

【0100】そして、p チャネル型 TFT を形成する島状半導体層にソース領域およびドレイン領域とする高濃度 p 型不純物領域を形成する。ここでは、ゲート電極をマスクとして p 型を付与する不純物元素を添加し、自己整合的に高濃度 p 型不純物領域を形成する。このとき、n チャネル型 TFT を形成する島状半導体層は、フォトリソマスクを用いてレジストマスクを形成し全面を被覆しておく。ここで形成される不純物領域はジボラン（ $\text{B}_2\text{H}_6$ ）を用いたイオンドープ法で形成する。そして、ゲート電極と重ならない高濃度 p 型不純物領域のボロン

（B）濃度は、 $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$  となるようにする。また、ゲート電極と重なる不純物領域は、ゲート絶縁膜とゲート電極のテーパー部を介して不純物元素が添加されるので、実質的に低濃度 p 型不純物領域として形成され、少なくとも  $1.5 \times 10^{19} \text{ atoms/cm}^3$  以上の濃度とする。この高濃度 p 型不純物領域および低濃度 p 型不純物領域には、前工程においてリン

（P）が添加されていて、高濃度 p 型不純物領域には  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  の濃度で、低濃度 p 型不純物領域には  $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  の濃度で含有しているが、この工程で添加するボロン（B）の濃度をリン（P）濃度の  $1.5$  から  $3$  倍となるようにすることにより、p チャネル型 TFT のソース領域およびドレイン領域として機能するために何ら問題は生じなかった。

【0101】その後、実施例 1 の図 3（A）以降の工程に従って、活性化、保護絶縁膜、カラーフィルタ、第 1 層間絶縁膜の形成を行えばよい。

【0102】以降の工程は、実施例 1 及び実施例 7 に従えば図 16 に示した液晶表示装置が完成する。

【0103】〔実施例 9〕本実施例では、実施例 1 とは異なるゲート電極を用いた例を示す。

【0104】本実施例で示す TFT のゲート電極は実施例 1 で示したように 2 層構造を有している。しかし、その第 1 層目と第 2 層目とはいずれも Ta、W、Ti、Mo から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成する点が異なる。その場合における最も好ましい組み合わせは、第 1 層目を Ta または窒化タンタル（Ta<sub>2</sub>N<sub>3</sub>）、若しくは窒化タンタ



【0105】まず、実施例1と同様にして島状半導体層を形成した後、厚さ40～150nmのゲート絶縁膜をプラズマCVD法またはスパッタ法により、シリコンを含む絶縁膜で形成する。

【0106】そして、ゲート絶縁膜上にゲート電極を形成するための第1の導電膜と第2の導電膜とを形成する。本実施例では、第1の導電膜をTaで50～100nmの厚さに形成し、第2の導電膜をWで100～300nmの厚さに形成する。

【0107】Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、 $\alpha$ 相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 $\beta$ 相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。 $\alpha$ 相のTa膜を形成するために、Taの $\alpha$ 相に近い結晶構造をもつ窒化タンタルを10～50nm程度の厚さでTaの下地に形成しておくことと $\alpha$ 相のTa膜を容易に得ることができる。

【0108】W膜はWをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20 $\mu\Omega\text{cm}$ を実現することができる。

【0109】次に、レジストによるマスクを形成し、ゲート電極を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0110】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチ

ーバー形状の導電層(第1の導電層と第2の導電層)が形成される。

【0111】そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法では、ドーズ量を $1\times 10^{13}\sim 5\times 10^{14}\text{atoms/cm}^2$ とし、加速電圧を60～100keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。この場合、導電層がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域が形成される。第1の不純物領域には $1\times 10^{20}\sim 1\times 10^{21}\text{atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される。

【0112】次に、第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を選択的に異方性エッチングし、第2の導電層を第1の矩形状の導電層とする。このとき第1のテーパー形状の導電層はそのまま残る。

【0113】W膜やTa膜のCF<sub>4</sub>とCl<sub>2</sub>の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF<sub>6</sub>が極端に高く、その他のWCl<sub>5</sub>、TaF<sub>5</sub>、TaCl<sub>5</sub>は同程度である。従って、CF<sub>4</sub>とCl<sub>2</sub>の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスにO<sub>2</sub>を添加するとCF<sub>4</sub>とO<sub>2</sub>が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O<sub>2</sub>を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度には大きな差が生じ、W膜の選択的なエッチングが可能となる。

【0114】その後、第3のエッチング処理を行う。この条件は第1のエッチング処理と同じ条件で行い、端部に15～45°の角度でテーパー部を有する第3の形状の導電層が形成される。導電層上のレジストによるマスクは、このエッチング時に同時に侵蝕され、第3のエッチング処理により第1の導電層と第2の導電層から成る

【0115】この状態から、第4のエッチング処理を行う。この条件は第2のエッチング処理と同じ条件でエッチングを行い、W膜を選択的に異方性エッチングして第2の導電層を第2の矩形状の導電層とする。このとき第2のテーパー形状の導電層はそのまま残る。

【0116】そして、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120 keVとし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行い、島状半導体層に形成された第1の不純物領域の内側の領域に新たな不純物領域を形成する。ドーピングは、第2の矩形状の導電層を不純物元素に対するマスクとして用い、第2のテーパー形状の導電層の下側の領域にも不純物元素が添加されるようなドーピング条件を用いる。従って、第2のテーパー形状の導電層と重なる第3の不純物領域と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域とが形成される。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにする。

【0117】そして、pチャネル型TFTを形成する島状半導体層に一導電型とは逆の導電型の第4の不純物領域を形成する。第2の矩形状の導電層を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層は、レジストのマスクで全面を被覆しておく。不純物領域はジボラン ( $\text{B}_2\text{H}_6$ ) を用いたイオンドーブ法で形成する。その領域の不純物濃度は $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【0118】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。また、第2の矩形状の導電層とする。このとき第2のテーパー形状の導電層が一体となってゲート電極801~805として機能する。また、同様に容量電極806が形成される。

【0119】その後、実施例1の図3(A)以降の工程に従って、活性化、保護絶縁膜、カラーフィルタ、第1層間絶縁膜の形成を行えばよい。

【0120】以降の工程は、実施例1及び実施例7に従えば図17に示した液晶表示装置が完成する。

【0121】【実施例10】実施例7~9を用いて得られたアクティブマトリクス型液晶表示装置の構成を図18の斜視図を用いて説明する。図18においてアクティブマトリクス基板は、ガラス基板101上に形成された、画素部904と、走査信号駆動回路905と、画像信号駆動回路906とその他の信号処理回路907とで構成される。画素部904には画素TFT204と保持容量205が設けられ、画素部の周辺に設けられる駆動

それぞれゲート配線122とソース配線152で画素TFT204に接続している。また、フレキシブルプリント配線板 (Flexible Printed Circuit: FPC) 908が外部入力端子902に接続していて画像信号などを入力するのに用いる。そして接続配線903でそれぞれの駆動回路に接続している。また、対向基板909には図示していないが、遮光膜や透明電極が設けられている。

【0122】【実施例11】本実施例では実施例1に示したアクティブマトリクス基板の作製工程を応用して作製したEL表示装置の例を図19示す。

【0123】図19において、基板1001上に設けられたスイッチング用TFT1102はnチャネル型TFTを用いて形成される。作製プロセスは実施例1を参照すればよい。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明のpチャネル型TFTを用いて形成しても構わない。

【0124】また、電流制御用TFT1101はpチャネル型TFTを用いて作製される (実施例1を参照)。このとき、スイッチング用TFT1102のドレイン配線1008は配線1006によって電流制御用TFTのゲート電極に電気的に接続されている。また、1004で示される配線は、スイッチング用TFT1102のゲート電極を電気的に接続するゲート配線である。

【0125】また、本実施例では電流制御用TFT1101をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0126】スイッチング用TFT1102及び電流制御用TFT1101の上には第1パッシベーション膜1002が設けられ、その上にカラーフィルタ1003が形成され、その上に樹脂絶縁膜でなる平坦化膜1009が形成される。平坦化膜1009を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0127】また、1010は透光性の高い導電膜でなる画素電極 (EL素子の陽極) であり、電流制御用TFT1101のドレインに電気的に接続される。画素電極1010としては透明導電膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0128】また、絶縁膜 (好ましくは樹脂) で形成さ

る。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては $\pi$ 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0129】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0130】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm（好ましくは40~100nm）とすれば良い。

【0131】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0132】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0133】ただし、発光層として白色発光の材料を用いる場合、前記EL素子から発した光は前記基板を透過して放射され、その際、基板側に設けられたカラーフィルタ1003によってカラー化される。また、有色発光の材料を用いる場合、カラーフィルタ1003は色純度を高めるフィルタとしての役割を果たす。なお、TFT素子の上にカラーフィルタ1003を設けることによってTFTを光の劣化から保護している。

【0134】また、1012は反射性の高い導電膜である陰極が発光層上に接して形成される。この陰極としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。

【0135】陰極1012まで形成された時点でEL素子1103が完成する。なお、ここでいうEL素子1103は、画素電極（陽極）1010、発光層1011、陰極1012で形成されたコンデンサを指す。

第2パッシベーション膜1014としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0137】以上のように本願発明のEL表示パネルは図19のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0138】なお、本実施例の構成は、実施例1~6の構成と自由に組み合わせて実施することが可能である。

【0139】[実施例12] 本実施例では、実施例11に示したTFT構造において、実施例8に示したTFT構造とした例について説明する。説明には図20を用いる。なお、図20の構造と異なる点はTFT構造だけであるので、その他の説明は省略することとする。

【0140】図20において、スイッチング用TFT1302のゲート電極1202及び、電流制御用TFT1301のゲート電極1201はテーパー形状を有している。このTFTの作製方法は実施例8を参照すればよい。

【0141】実施例11と同様に、発光層として白色発光の材料を用いる場合、前記EL素子から発した光は前記基板を透過して放射され、その際、基板側に設けられたカラーフィルタ1203によってカラー化される。また、有色発光の材料を用いる場合、カラーフィルタ1203は色純度を高めるフィルタとしての役割を果たす。なお、TFT素子の上にカラーフィルタ1203を設けることによってTFTを光の劣化から保護している。

【0142】なお、本実施例の構成は、実施例1~6の構成と自由に組み合わせて実施することが可能である。

【0143】[実施例13] 本実施例では、実施例11に示したTFT構造において、実施例9に示したTFT構造とした例について説明する。説明には図21を用いる。なお、図21の構造と異なる点はTFT構造だけであるので、その他の説明は省略することとする。

【0144】図21において、スイッチング用TFT1502のゲート電極1402及び、電流制御用TFT1501のゲート電極1401はテーパー形状を有している。このTFTの作製方法は実施例8を参照すればよい。

【0145】実施例11と同様に、発光層として白色発光の材料を用いる場合、前記EL素子から発した光は前記基板を透過して放射され、その際、基板側に設けられたカラーフィルタ1403によってカラー化される。ま

なお、TFT素子の上にカラーフィルタ1403を設けることによってTFTを光の劣化から保護している。

【0146】なお、本実施例の構成は、実施例1～6の構成と自由に組み合わせて実施することが可能である。

【0147】【実施例14】本実施例では、実施例11～13を用いて作製されたEL（エレクトロルミネッセンス）表示装置の上面図及び断面図について説明する。

【0148】図22（A）は本願発明を用いたEL表示装置の上面図である。図22（A）において、4010は基板、4011は画素部、4012はソース側駆動回路、4013はゲート側駆動回路であり、それぞれの駆動回路は配線4014～4016を経てFPC4017に至り、外部機器へと接続される。

【0149】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材（ハウジング材ともいう）7000、密封材（第2のシーリング材）7001が設けられている。

【0150】また、図22（B）は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。）4022及び画素部用TFT4023（但し、ここではEL素子への電流を制御するTFTだけ図示している。）が形成されている。これらのTFTは公知の構造（トップゲート構造またはボトムゲート構造）を用いれば良い。

【0151】本願発明を用いて駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料なる層間絶縁膜（平坦化膜）4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜なる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0152】次に、EL層4029を形成する。EL層4029は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0153】本実施例では、シャドーマスクを用いて蒸

着フィルタは実施例11～13に示したように画素電極の下層にカラーフィルタが存在している。また、画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成する方式があるが、その場合は、カラーフィルタは色純度を高める役割を果たしている。勿論、単色発光のEL表示装置とすることもできる。

【0154】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0155】なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0156】4031に示された領域において陰極4030と配線4016とを電気的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0157】このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0158】さらに、EL素子部を囲むようにして、カバー材6000と基板4010の内側にシーリング材が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

【0159】このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライ

ト)を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0160】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0161】スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0162】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fiberglass-Reinforced Plastic)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 $\mu$ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0163】また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材7000および密封材7001の下を通してFPC4017に電気的に接続される。

【0164】【実施例15】実施例1では、トップゲート型TF Tの例を示したが、本実施例では、TF Tの構造が逆スタガ型TF Tの例を示す。

【0165】ここでは、画素部における画素TF T(ダブルゲート構造)に着目して図24に説明する。

【0166】図24において、基板上にゲート電極1601、容量電極1609を覆ってゲート絶縁膜1602が設けられている。このゲート絶縁膜1602上に半導体層が設けられている。半導体層のうち、ゲート電極の上方にはチャネル保護膜1604で保護されたチャネル形成領域が存在している。また、半導体層のうち、チャネル形成領域以外にはn型の導電性を付与する不純物が添加され、ソース領域、ドレイン領域、またはLDD領域が設けられている。半導体層を保護するために保護絶縁膜1605が形成されており、その保護絶縁膜上に接して赤色のカラーフィルタ1606が設けられている。また、カラーフィルタ1606を覆って層間絶縁膜が設けられている。また、接続電極1607によって画素電極1608と画素TF Tが接続されている。また、容量電極と、ゲート絶縁膜と、容量電極上方の半導体層とで保持容量を構成している。

3を光の劣化から保護する目的で形成されている。また、画素電極の下方に形成されたカラーフィルタはカラー化のために形成されている。

【0168】【実施例16】実施例1では、トップゲート型TF Tでポリシリコンを活性層とした例を示したが、本実施例では、TF Tの構造が逆スタガ型TF Tでアモルファスシリコンを半導体層とした例を示す。

【0169】ここでは、画素部における画素TF T(シングルゲート構造)に着目して図25に説明する。

【0170】図25において、基板上にゲート電極1701を覆ってゲート絶縁膜1702が設けられている。このゲート絶縁膜1702上に半導体層からなる活性層1703が設けられている。半導体層上にリンがドーピングされたn型半導体層が形成され、ゲート電極の上方には、エッチングストッパー1704が形成されている。半導体層を保護するために保護絶縁膜1709が形成されており、その保護絶縁膜上に接して赤色のカラーフィルタ1710が設けられている。また、カラーフィルタ1710を覆って層間絶縁膜が設けられている。また、接続電極1711によって画素電極1712と画素TF Tが接続されている。

【0171】また、TF T上方に形成されたカラーフィルタ1710は半導体層、特にチャネル形成領域1710を光の劣化から保護する目的で形成されている。また、画素電極の下方に形成されたカラーフィルタはカラー化のために形成されている。

【0172】【実施例17】実施例1では、トップゲート型TF Tとした例を示したが、本実施例では、TF Tの構造がサイドウォールを有するTF T構造とした例を示す。

【0173】ここでは、画素部における画素TF T(ダブルゲート構造)に着目して図26に説明する。なお、実施例1と異なる点はTF T構造だけであるので、その他の説明は省略することとする。

【0174】ゲート電極はタングステンとシリサイドの積層構造で形成され、サイドウォールは異方性エッチングにより形成されている。

【0175】また、画素TF T上方に形成されたカラーフィルタ1800は半導体層、特にチャネル形成領域を光の劣化から保護する目的で形成されている。また、画素電極の下方に形成されたカラーフィルタはカラー化のために形成されている。

【0176】【実施例18】本願発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置(アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ)に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願

ラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図27及び図28に示す。

【0178】図27（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を画像入力部2002、表示部2003やその他の信号制御回路に適用することができる。

【0179】図27（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102やその他の信号制御回路に適用することができる。

【0180】図27（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205やその他の信号制御回路に適用できる。

【0181】図27（D）は頭部取り付け型のELディスプレイの一部（右片側）であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示部2304、光学系2305、表示装置2306等を含む。本願発明は表示装置2306に用いることができる。

【0182】図27（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の信号制御回路に適用することができる。

【0183】図27（F）はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）等を含む。本願発明を表示部2502やその他の信号制御回路に適用することができる。

【0184】図28（A）は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を音声出力部2902、音声入力部2903、表示部2904やその他の信号制御回路に適用することができる。

【0185】図28（B）は携帯書籍（電子書籍）であり、本体3001、表示部3002、3003、記憶媒

の信号回路に適用することができる。

【0186】図28（C）はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上（特に30インチ以上）のディスプレイには有利である。

【0187】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～17のどのような組み合わせからなる構成を用いても実現することができる。

【0188】

【発明の効果】本発明によってカラーフィルタはブラックマスクの役割を果たすため、従来必要であったブラックマスクの形成工程が省略できる。

【図面の簡単な説明】

【図1】 アクティブマトリクス基板の作製工程を示す図。（実施例1）

【図2】 アクティブマトリクス基板を示す図。（実施例1）

【図3】 アクティブマトリクス基板の作製工程を示す図。（実施例1）

【図4】 画素部の構造の一例を示す図。（実施例1）

【図5】 画素部の構造の一例を示す図。（実施例2）

【図6】 カラーフィルタの配置例を示す図。

【図7】 カラーフィルタの配置例を示す図。

【図8】 アクティブマトリクス基板の作製工程を示す図。（実施例3）

【図9】 アクティブマトリクス基板の作製工程を示す図。（実施例4）

【図10】 AM-LCDの作製工程を示す図。（実施例4）

【図11】 アクティブマトリクス基板の断面構造の一例を示す図。（実施例5）

【図12】 アクティブマトリクス基板の作製工程を示す図。（実施例6）

【図13】 アクティブマトリクス基板の構造を示す図。（実施例6）

【図14】 アクティブマトリクス基板の構造を示す図。（実施例6）

【図15】 アクティブマトリクス型液晶表示装置の断面構造図。（実施例7）

【図16】 アクティブマトリクス型液晶表示装置の断面構造図。（実施例8）

【図17】 アクティブマトリクス型液晶表示装置の断面構造図。（実施例9）

【図18】 AM-LCDの外観を示す図。（実施例10）

【図20】アクティブマトリクス型EL表示装置の構成を示す図。

【図21】アクティブマトリクス型EL表示装置の構成を示す図。

【図22】アクティブマトリクス型EL表示装置の外観を示す図。

【図23】非単結晶珪素膜に対する光の吸収率を示す

図。

【図24】アクティブマトリクス基板を示す図。

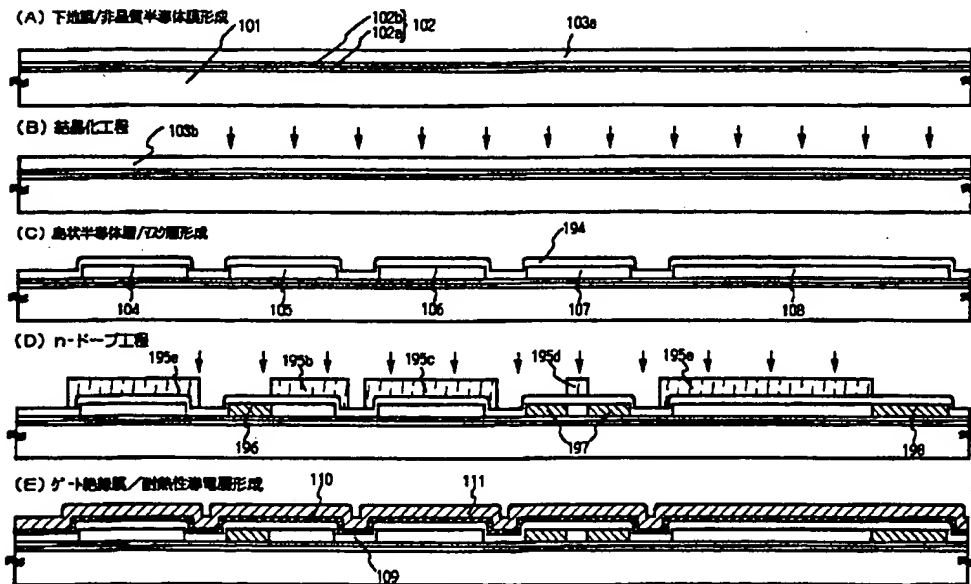
【図25】アクティブマトリクス基板を示す図。

【図26】アクティブマトリクス基板を示す図。

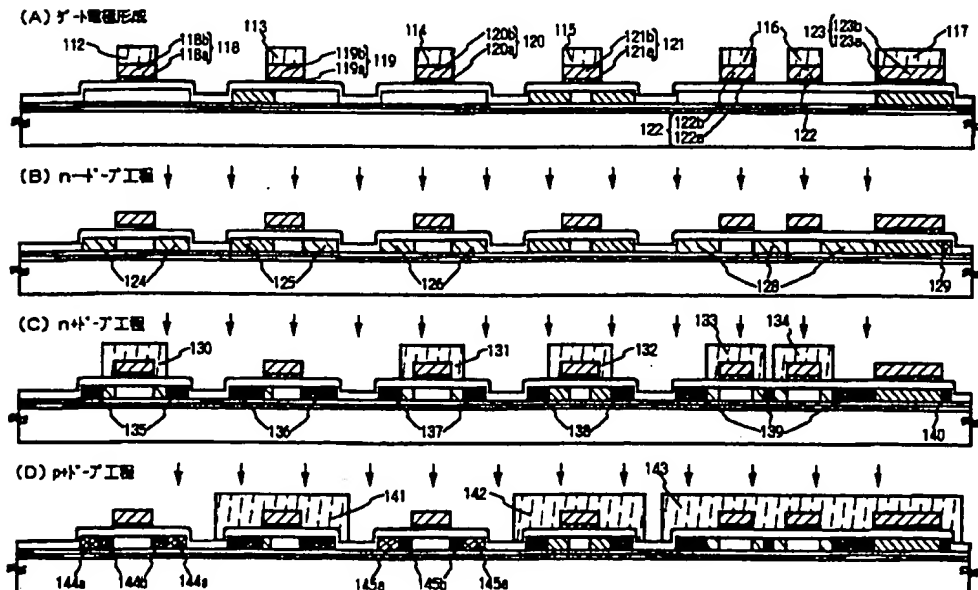
【図27】電子機器の一例を示す図。

【図28】電子機器の一例を示す図。

【図1】

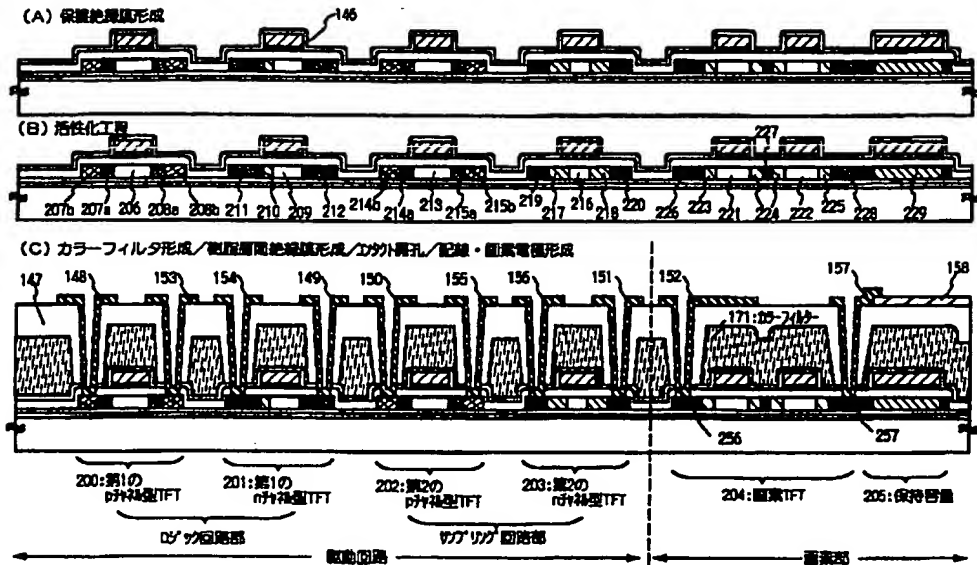


【図2】

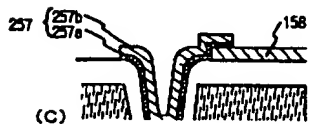
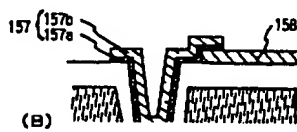
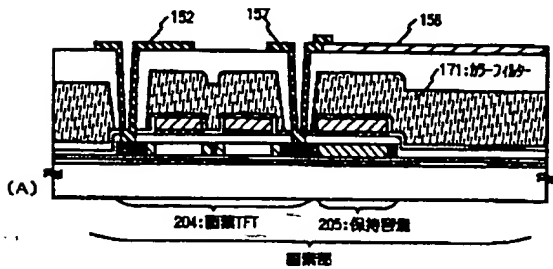




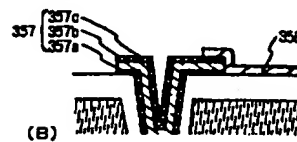
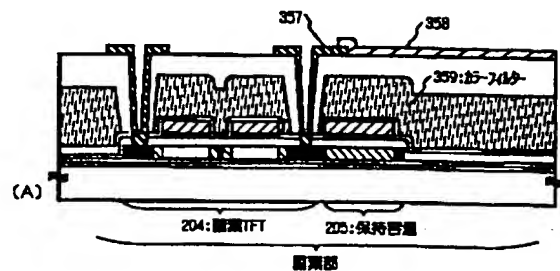
【図3】



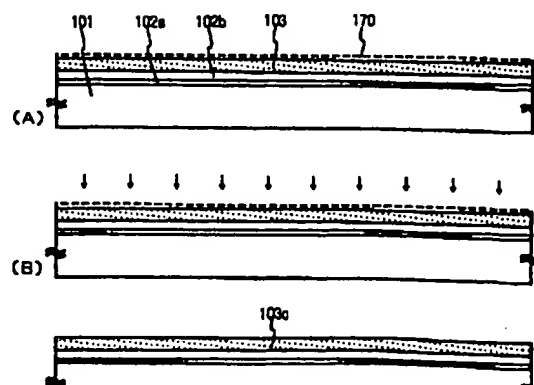
【図4】



【図5】

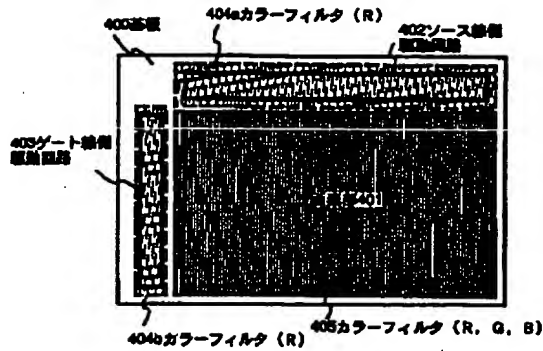


【図9】

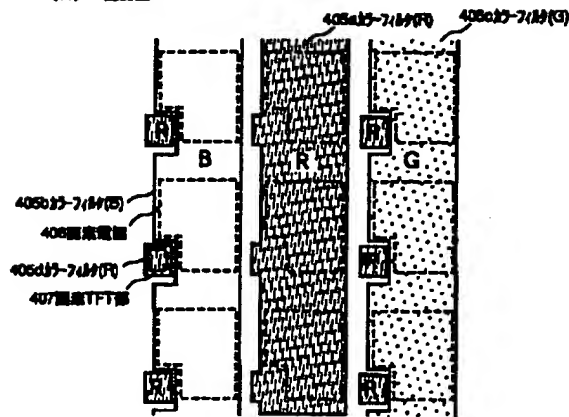




【図6】

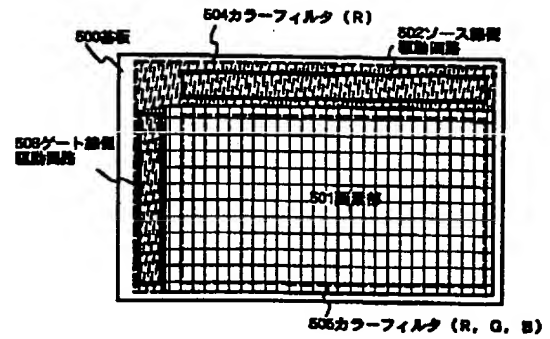


(A) 上面図

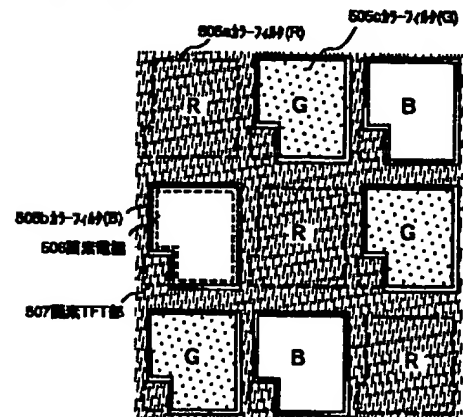


(B) 画素部の一部を拡大した模式図

【図7】

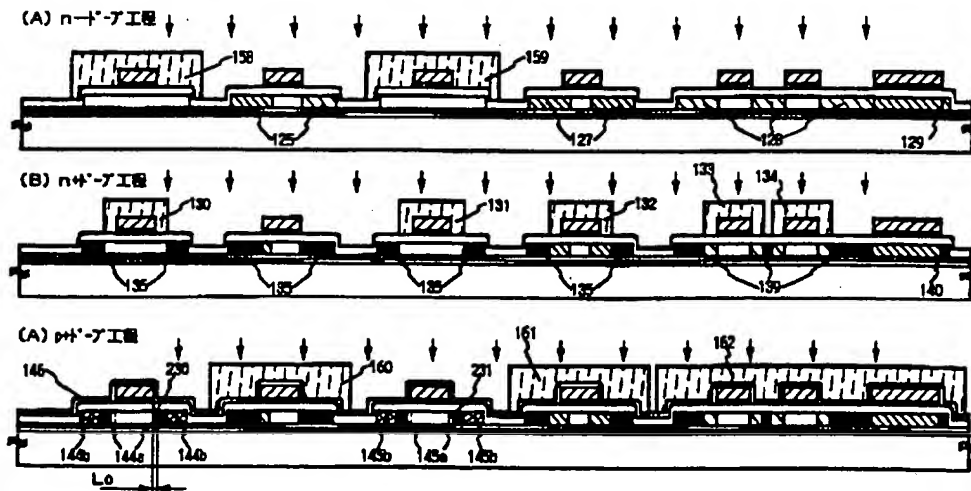


(A) 上面図



(B) 画素部の一部を拡大した模式図

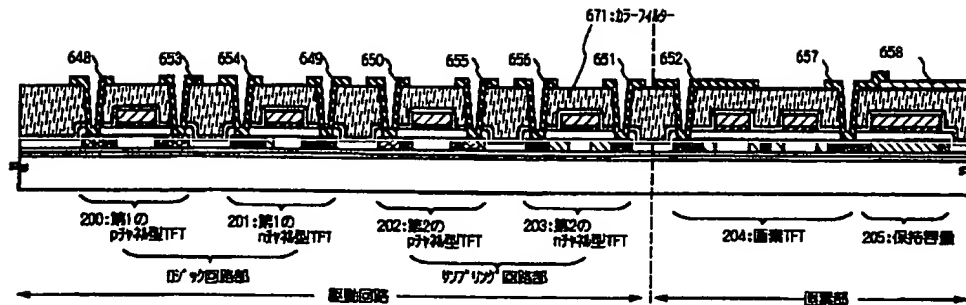
【図8】



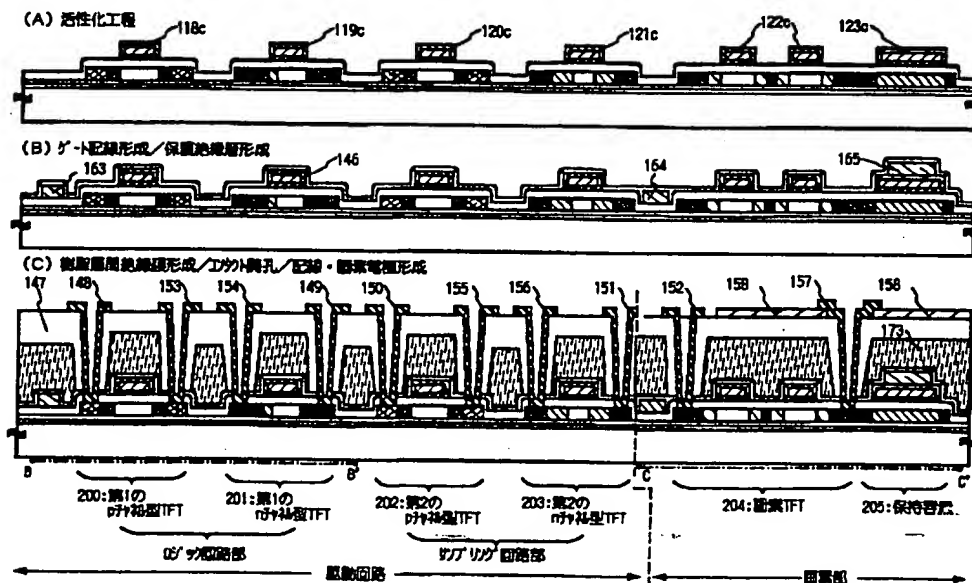
【図10】



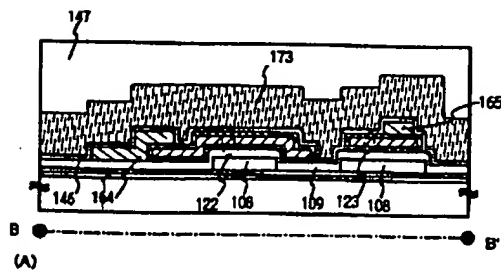
【図11】



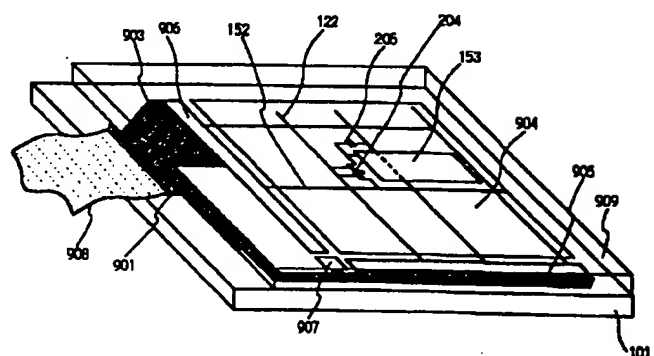
【図12】



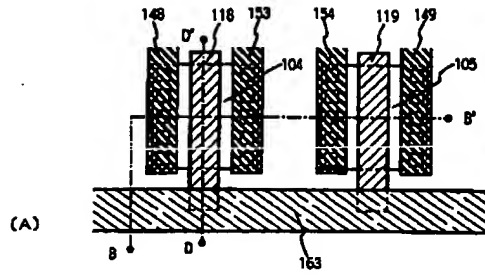
【図14】



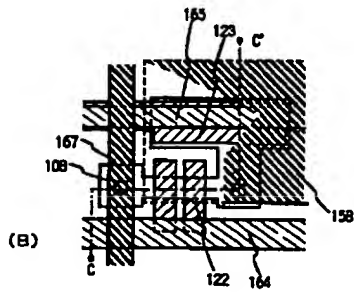
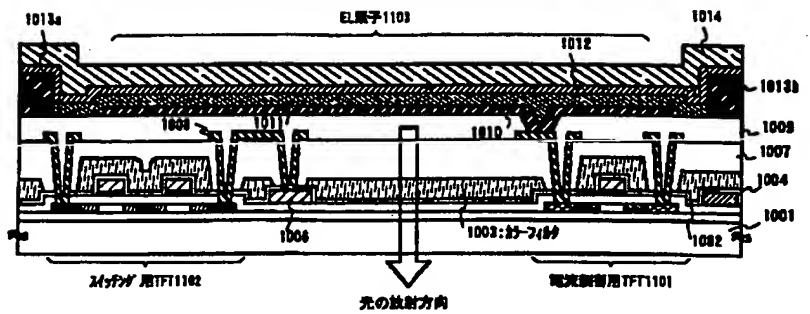
【図18】



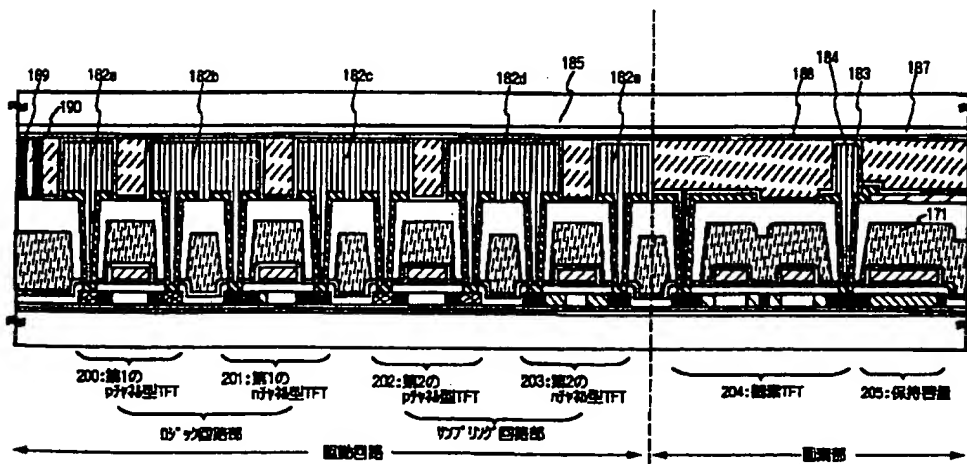
【図13】



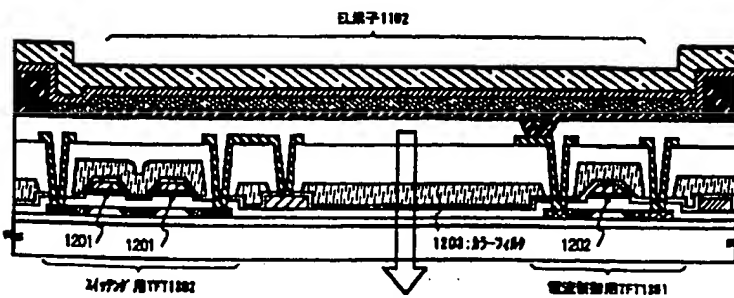
【図19】



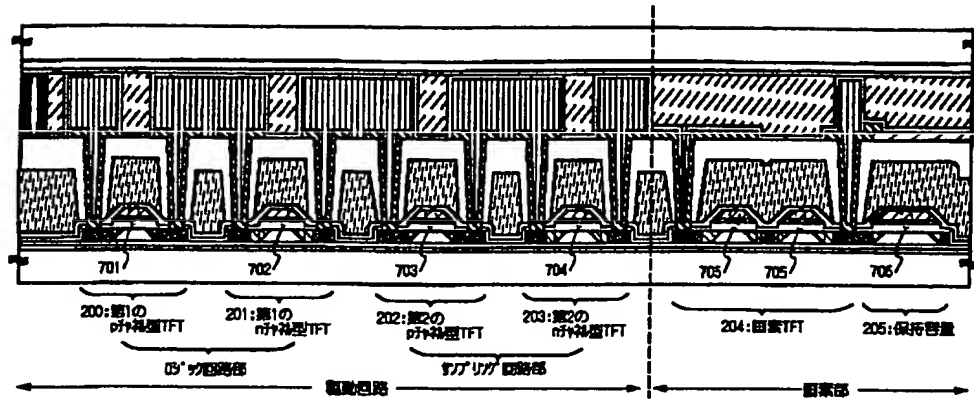
【図15】



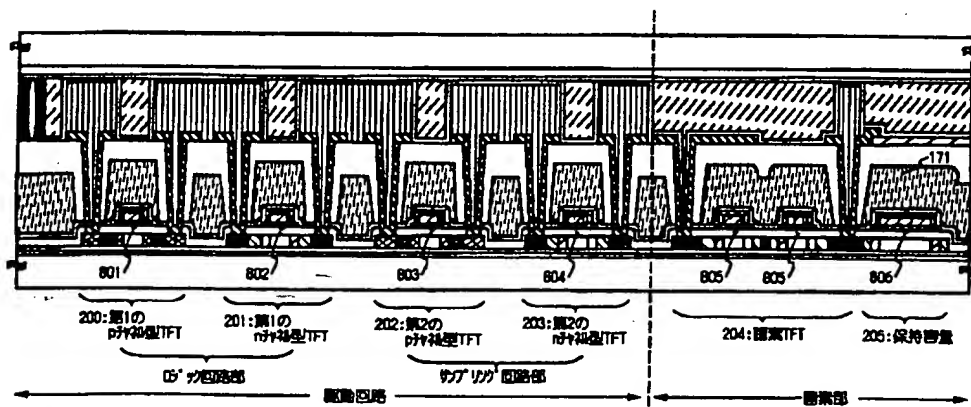
【図20】



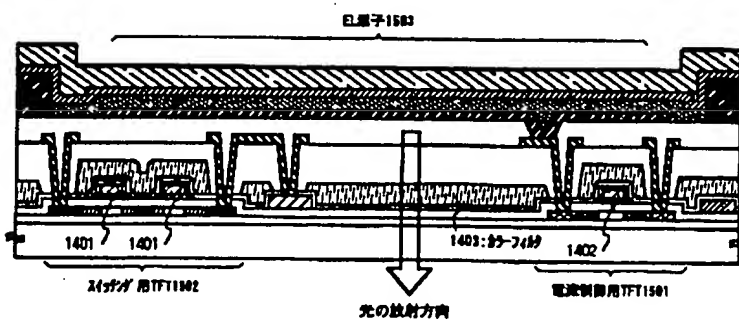
【図16】



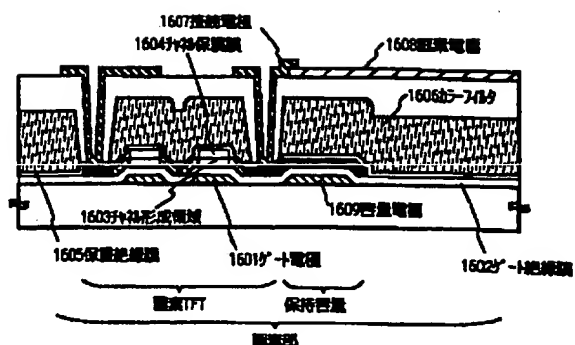
【図17】



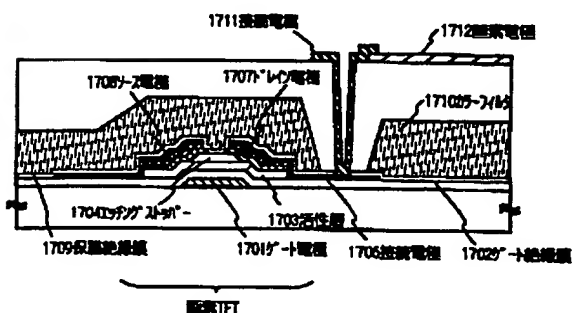
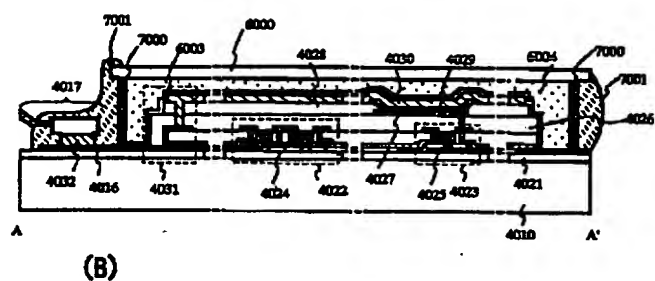
【図21】



【图 2 4】



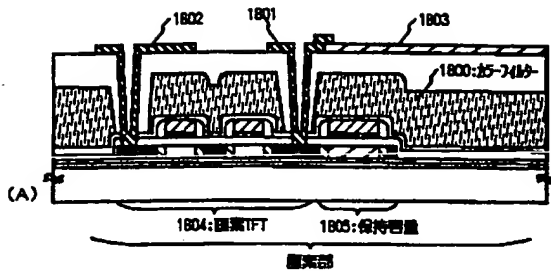
【图 2 5】



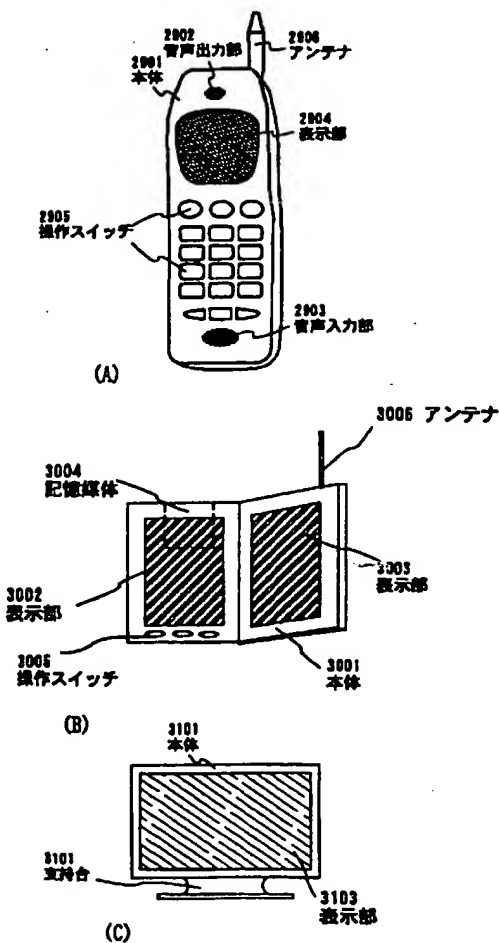
【图 2 3】

Figure 1 is a line graph showing the absorption spectrum of the polymer film. The Y-axis is labeled '吸収率' (Absorbance) and ranges from 0 to 0.6. The X-axis is labeled '波長 [nm]' (Wavelength [nm]) and ranges from 200 to 800. The curve starts at an absorbance of approximately 0.4 at 200 nm, rises to a peak of about 0.52 at 480 nm, and then decreases sharply to near zero by 700 nm.

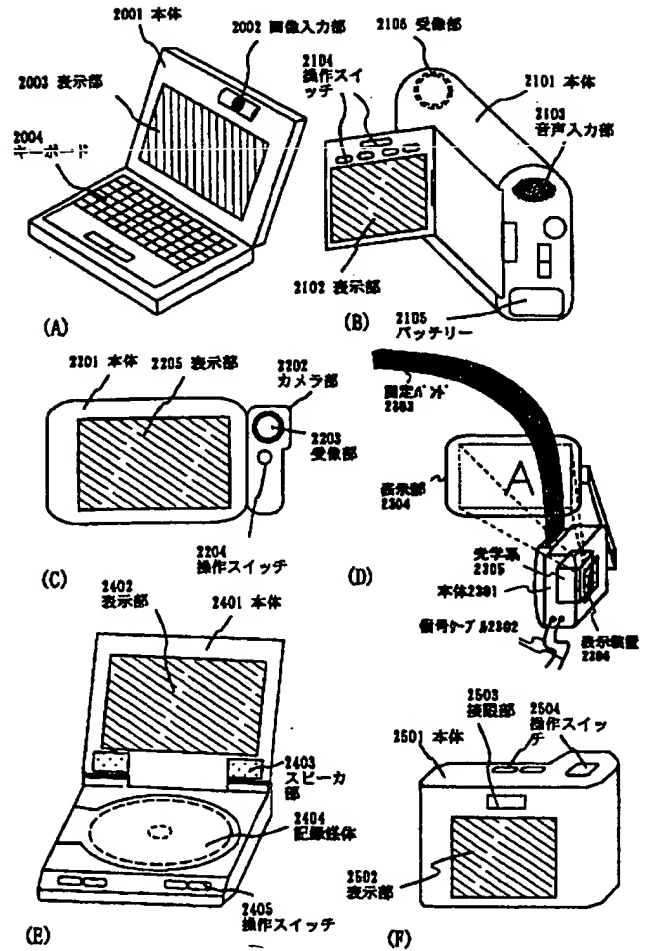
【図26】



【図28】



【図27】



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 21/768  
29/786

識別記号

F I

H 0 1 L 21/90  
29/78

テ-マ-ド (参考)

S  
6 1 2 B

Fターム(参考) 2H091 FA02Y FA44Y GA03 GA07  
GA13  
2H092 HA28 JA24 JA34 JB57 KB25  
KB26  
5C094 AA25 AA43 AA48 BA03 BA27  
CA19 CA24 DA09 DA13 DB01  
DB04 EA04 EA05 EA07 EA10  
EB02 ED03 FA01 GB10  
5F033 GG04 HH08 HH10 HH18 HH19  
HH20 HH21 HH27 HH28 HH29  
HH30 HH32 HH33 HH34 JJ08  
JJ18 KK04 MM05 MM08 MM19  
NN32 RR04 RR06 RR08 RR21  
RR22 SS22 TT04 VV06 VV15  
WW00 XX10  
5F110 BB01 CC02 DD01 DD02 DD13  
DD14 DD15 DD17 EE01 EE03  
EE04 EE05 EE06 EE11 EE14  
EE23 EE37 EE44 EE45 FF02  
FF03 FF04 FF09 FF28 FF30  
GG01 GG02 GG25 GG34 GG43  
GG45 GG51 GG52 GG58 HJ01  
HJ04 HJ12 HJ23 HL03 HL04  
HL11 HL12 HL14 HL22 HL23  
NN01 NN03 NN16 NN22 NN23  
NN24 NN27 NN35 NN36 NN40  
NN72 PP01 PP02 PP03 PP34  
QQ24 QQ25